

## ⑫ 公開特許公報(A) 平3-296336

⑬ Int. Cl.<sup>5</sup>

H 04 J 3/06

識別記号

庁内整理番号

C 7117-5K

⑭ 公開 平成3年(1991)12月27日

審査請求 未請求 請求項の数 3 (全6頁)

⑮ 発明の名称 ブロックインタリーブ型多重変換方式

⑯ 特 願 平2-98964

⑰ 出 願 平2(1990)4月13日

⑱ 発 明 者 高 田 忠 行 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑲ 発 明 者 渡 辺 治 喜 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 青 柳 稔

## 明 細 書

## 1. 発明の名称

ブロックインタリーブ型多重変換方式

## 2. 特許請求の範囲

1. 複数のチャネルの各低速信号をその信号ブロック毎に多重化して高速信号にするブロックインタリーブ型多重変換方式において、

各チャネルの低速信号の入力断を検出し、入力断時には高速信号の当該チャネルのタイムスロットへマーク率1/2の固定信号を挿入することを特徴とするブロックインタリーブ型多重変換方式

2. 複数のチャネルの各低速信号をその信号ブロック毎に多重化して高速信号にするブロックインタリーブ型多重変換方式において、

各チャネル毎にその低速信号の入力断を検出する入力断検出器(12a, 12b, ...)と、該低速信号とマーク率1/2の固定信号とを切替えるスイッチ(16a, 16b, ...)を設け、

該検出器により低速信号の入力断が検出されたとき該スイッチにより当該チャネルの低速信号を

前記固定信号に切替えることを特徴とするブロックインタリーブ型多重変換方式。

3. 複数のチャネルの各低速信号をその信号ブロック毎に多重化器により多重化して高速信号にするブロックインタリーブ型多重変換方式において、

各チャネルにその低速信号の入力断を検出する入力断検出器(12a, 12b, ...)を設け、また前記多重化器(10)に、高速信号のチャネル対応のタイムスロットにマーク率一定の固定信号をのせる機能を持たせ、

前記検出器により入力断が検出されたときは該多重化器の機能により、該入力断のチャネルのタイムスロットに、当該チャネルの低速信号に代えて前記固定信号をのせることを特徴とするブロックインタリーブ型多重変換方式。

## 3. 発明の詳細な説明

(発明の概要)

低速信号をブロック単位に多重を行ない、高速信号を形成するブロックインタリーブ型多重変換

方式に関し、

低速信号に一部欠落が生じても格別支障を生じることがない多重変換方式を提供することを目的とし、

複数のチャネルの各低速信号をその信号ブロック毎に多重化して高速信号にするブロックインタリーブ型多重変換方式において、各チャネルの低速信号の入力断を検出し、入力断時には高速信号の当該チャネルのタイムスロットへマーク率 $1/2$ の固定信号を挿入するよう構成する。

#### 〔産業上の利用分野〕

本発明は、低速信号をブロック単位に多重を行ない、高速信号を形成するブロックインタリーブ型多重変換方式に関する。

近年、宛先制御など、フレキシブルなネットワークを構築するためにブロックインタリーブが主流となっている。

#### 〔従来の技術〕

かの原因により低速信号本例ではCH2の低速信号の入力がなくなると、高速信号HSは、そのチャネルに相当するブロックタイムスロットが無信号状態となったまま、伝送路へ送出されることになる。

このとき、高速信号側のインタフェースをAC結合とする他ユニット（例えば電気-光変換E/O）と接続する場合、この低速信号一部欠落の高速信号のマーク率が $1/2$ でないために、符号間干渉が発生し、波形劣化を起こす。或いはこの高速信号を長距離伝送する場合、伝送路各点に設けられた中継器は、この無信号状態のためにタイミング回路においてクロックの再生が出来ず、波形再生が出来ないという問題が発生する。

本発明はかかる点を改善し、低速信号に一部欠落が生じても格別支障を生じることがない多重変換方式を提供することを目的とするものである。

#### 〔課題を解決するための手段〕

第1図に示すように本発明では、各チャネルの

ブロックインタリーブ方式の多重方法を第5図に示す。LS1～LSnは低速信号、HSはこれを多重した高速信号である。1-1, 2-1, ……LS1, LS2, ……の第1ブロック、1-2, 2-2, ……はLS1, LS2, ……の第2ブロック、以下同様で、高速信号HSはこれらの第1ブロック、第2ブロック、……を順に集めて構成される。

第6図(a)に3種の低速信号CH1～CH3（第1, 第2, 第3チャネルの低速信号）を多重する様子を示す。10は多重化器、具体的には並列/直列変換器で、パラレルに入力するCH1, CH2, CH3の第1ブロック1-1, 2-1, 3-1をこの順でシリアルに出力し、同第2ブロック1-2, 2-2, 3-2をこの順でシリアルに出力し、という動作を繰り返す。

#### 〔発明が解決しようとする課題〕

通常は第6図(a)のように各チャネルともブロック単位で多重化されるが、同図(b)のようになら

低速信号LSの入力断を検出する。12（添字a, b, ……は相互を区別するもので、適宜省略する）がその入力断検出器である。また第1図(a)のように各チャネル毎にスイッチ16を設け、またマーク率 $1/2$ の固定信号を発生する信号発生器14を設けて、検出器12が入力断を検出すると当該スイッチを通常の低速信号入力IN側から信号発生器14側へ切替えるようにする。

第1図(b)では多重化器10に、高速信号のチャネル対応のタイムスロットに、当該チャネルの低速信号に代えて、マーク率一定の固定信号をのせる機能をもたせ、入力断時にはこの多重化器の機能により、入力断のチャネルのタイムスロットへ該固定信号をのせるようにする。

#### 〔作用〕

このようにすると、低速信号CH1～CH3のいずれか1つ以上に入力断があっても、高速信号HSの当該低速信号用のタイムスロットにはマーク率 $1/2$ の固定信号が入り、符号間干渉が発生

しましたクロック再生ができない、等の問題はなくなる。

低速信号に代えて挿入する固定信号を特定パターンにしておけば、受信側ではこれを通常の信号と見誤ることはなく、この点でも支障はない。

信号断でマーク率  $1/2$  の固定信号への置き換えを多重化器 10 の回路素子进行操作して行なうようにすると、信号発生器 14 などの特設は必要はなく、回路の簡素化が図れる。

#### (実施例)

第1図で第6図と同じ部分には同じ符号が付してあり、この点は全図を通してそうである。第1図では3チャンネルを例にしているが、勿論これは任意の  $n$  チャンネルでよい。

信号発生器 14 はマーク率  $1/2$  の固定信号を発生するが、これには  $101010\cdots$  のパターンなどがある。信号発生器 14 はチャンネル別とする他、各チャンネル共通としてもよい。

第2図に多重化器 10 の具体例を示す。DIV

C (ライトクロック)  $0, WC1, \cdots WC_{n-1}$  はカウンタ CNTR が出力する  $n$  相のタイミングであり、LD0, LD1, LD2, LD $_{n-1}$  はラッチ LATCH が出力する低速データである。これは P/S へパラレルロードされ、高速クロック HCLK で、当該チャンネルのタイムスロットでシリアルアウトされる。

ラッチ LATCH は第4図に示すように  $n$  個のフリップフロップ  $FF_1 \sim FF_n$  で構成される。これらのフリップフロップ  $FF_1 \sim FF_n$  はデバイダからの低速データ  $D0 \sim D_{n-1}$  をデータ端子に受け、カウンタからのタイミング  $C0 \sim C_{n-1}$  をクロック端子に受け、該クロックで該データを取込んでそれを Q 出力とする。

もし低速データの入力がないと、それを入力断検出器 12 で検出し、フリップフロップ  $FF_1 \sim FF_n$  のセット、リセットを制御して Q 出力のマーク率を  $1/2$  にする。例えば  $FF_1 \sim FF_n$  を交互にセット、リセットすることにより  $Q0 \sim Q_{n-1}$  を  $1010, \cdots$  の  $1, 0$  交替パターンに

はデバイダ、CNTR はカウンタ、LATCH はラッチ、P/S は多重部で、これらを各チャンネル別に備える。D は各チャンネルのデータ、C は同クロックである。各チャンネルの低速データ D はデバイダ DIV において  $n$  分岐され ( $n$  はブロックのビット長)、低速クロック C をカウンタ CNTR で  $n$  分周することにより得られる  $n$  位相のタイミング信号によりラッチ LATCH に 1 ビット毎にラッチされる。

ラッチされた各チャンネルの低速データは  $n:1$  の P/S で、タイミング発生部 10A からの高速クロック HCLK により順次読出され、高速信号 HS における 1 ブロック長の高速データになる。各チャンネルからの上記高速データはオアゲート OR で集められ、ブロック多重されて高速信号 HS になる。タイミング発生ブロック 10A は高速クロック HCLK を各チャンネルの P/S へ、高速信号における当該チャンネルのタイムスロットにおいて出力し、各チャンネルのブロックデータがオアゲートにおいて時間的に重なり合わないようにする。

第3図に上記動作をタイムチャートで示す。W

する。このようにすると信号発生器 14 は特設する必要がなくなる。勿論、マーク率  $1/2$  の信号は  $11001100\cdots$  などでもよく、マーク率は正確に  $1/2$  でなく  $\approx 1/2$  であってもよい。

#### (発明の効果)

本発明によれば、低速データが入力断となっても、マーク率が  $1/2$  となることにより、符号間干渉を起こすことなく、AC 接続することが出来る。或いは中継伝送の際、無信号データを避けることにより中継器において波形再生を行なうことが出来る。また多重化ブロックでその回路素子进行操作することによりマーク率  $1/2$  の信号を発生すようにすると、より簡単に、小規模な回路を追加するだけで、本発明を実現することが出来る。

#### 4. 図面の簡単な説明

第1図は本発明の原理図、

第2図は本発明の実施例を示すブロック図、

第3図は第2図の動作説明図、

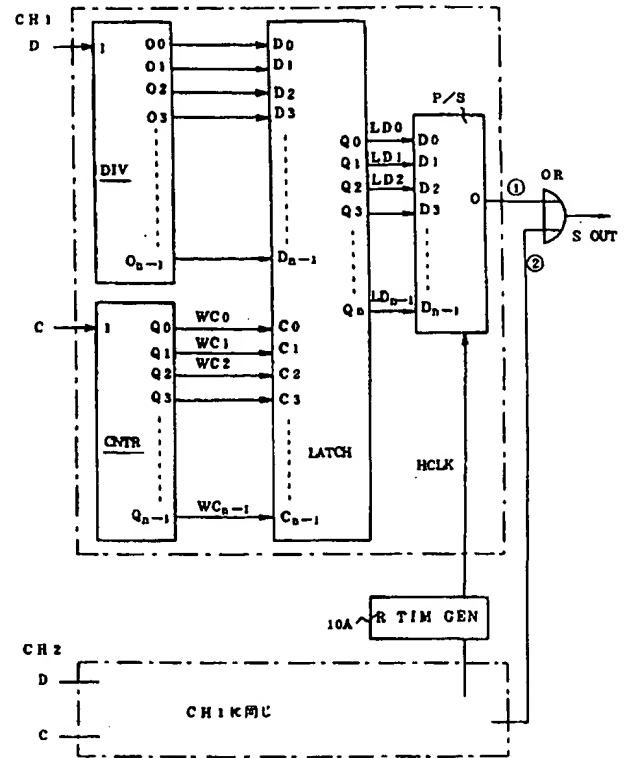
第4図は第2図のラッチの具体例を示すブロック図、

第5図はブロック多重の説明図、

第6図はブロック多重化要領と問題点の説明図である。

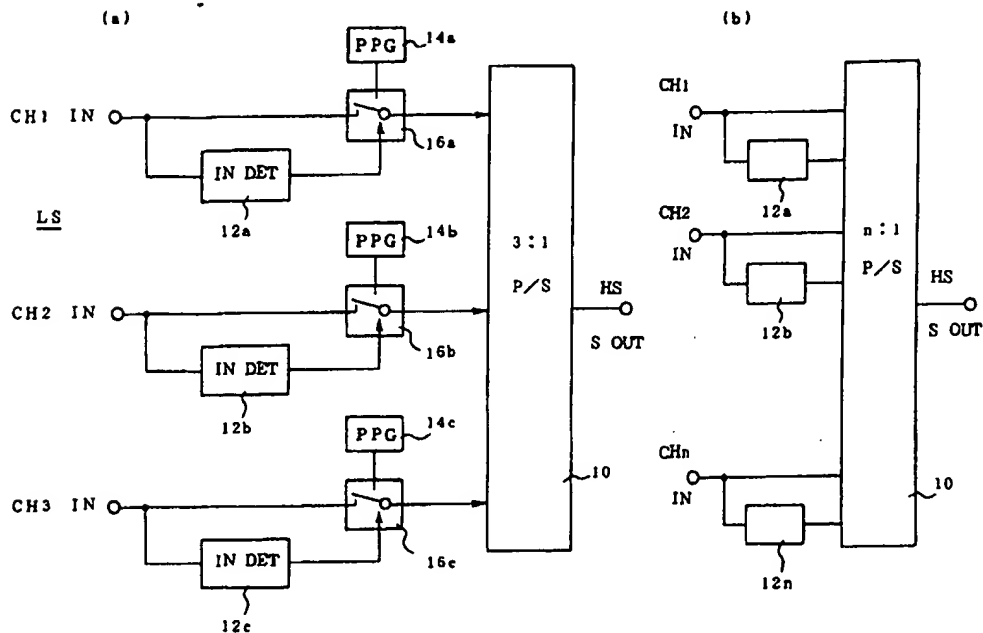
第1図で10は多重化器、12は入力断検出器、14は固定信号の発生器、16はスイッチ、LSは低速信号、HSは高速信号である。

出願人 富士通株式会社  
代理人 弁理士 青柳 稔



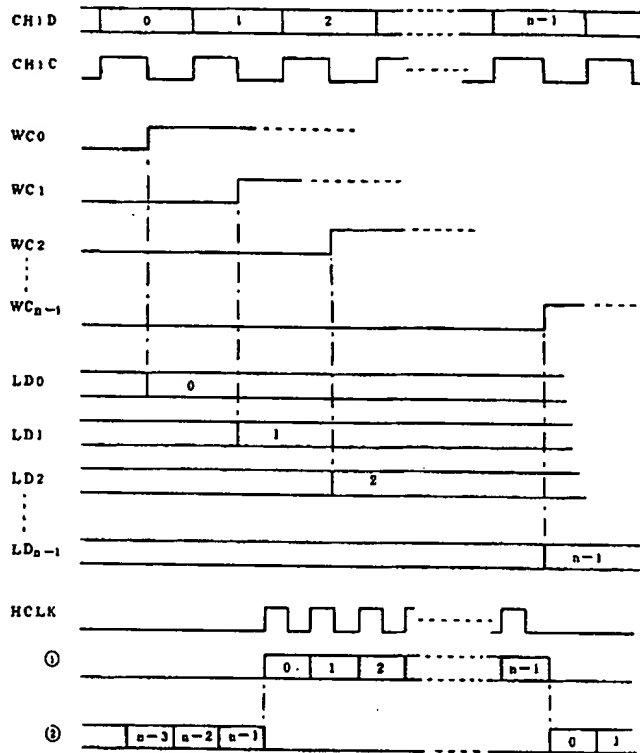
本発明の実施例を示すブロック図

第2図



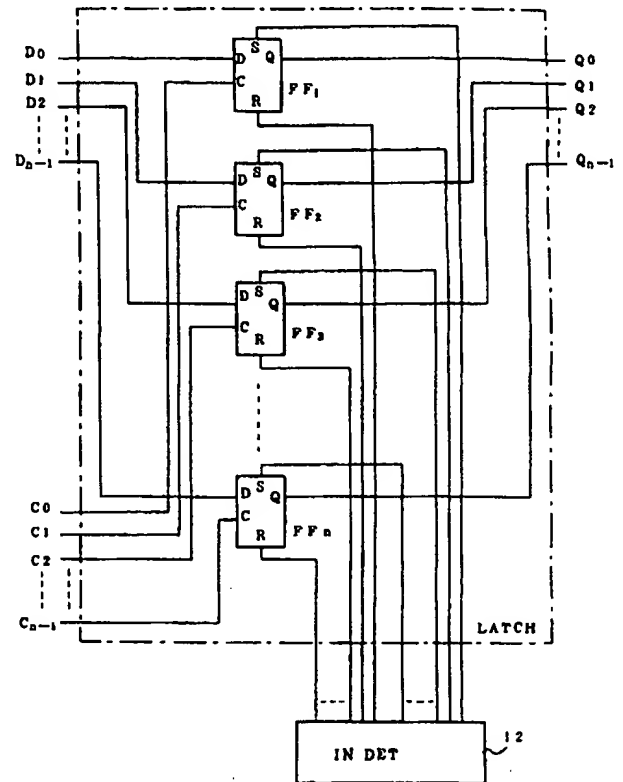
本発明の原理図

第1図



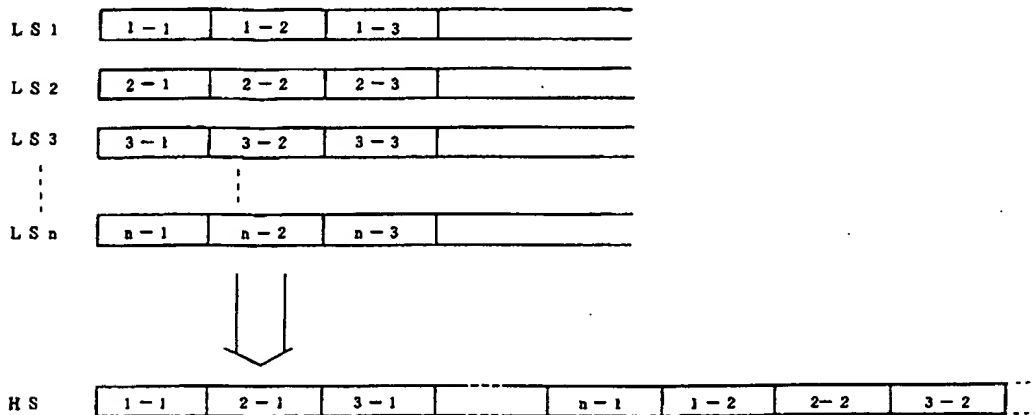
第2図の動作説明図

第3図



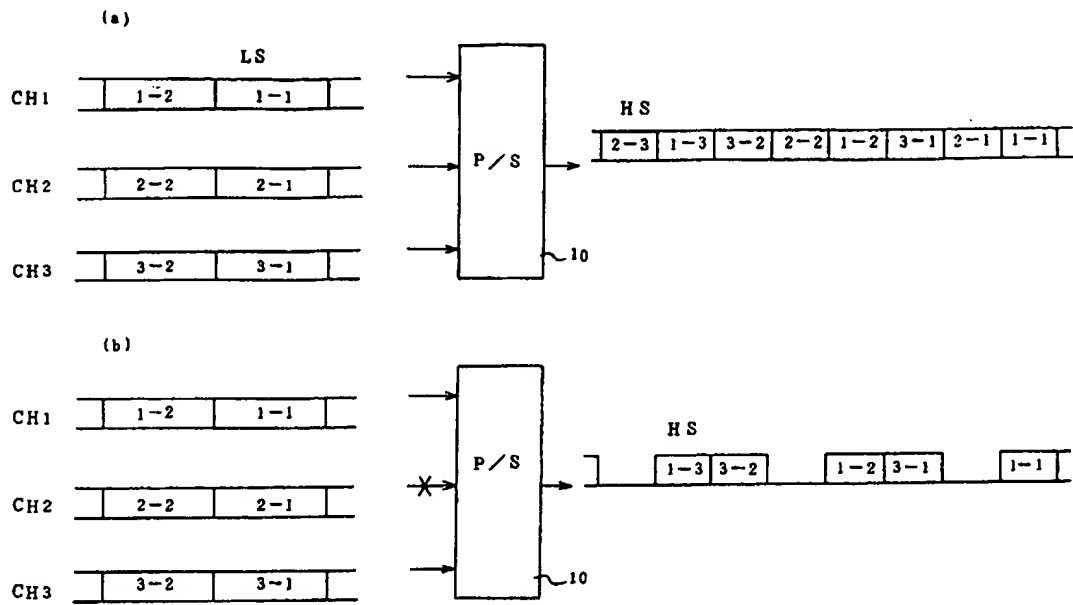
第2図のラッチの具体例を示すブロック図

第4図



ブロック多重の説明図

第5図



ブロック多重化装置と問題点の説明図

第 6 図